

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-223861

(43) 公開日 平成9年(1997)8月26日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/34	5 0 1		H 0 5 K 3/34	5 0 1 D
H 0 1 L 21/60	3 1 1		H 0 1 L 21/60	3 1 1 S

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平8-30847

(22) 出願日 平成8年(1996)2月19日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 竹内 靖

東京都大田区下丸子3丁目30番2号 キヤ  
ノン株式会社内

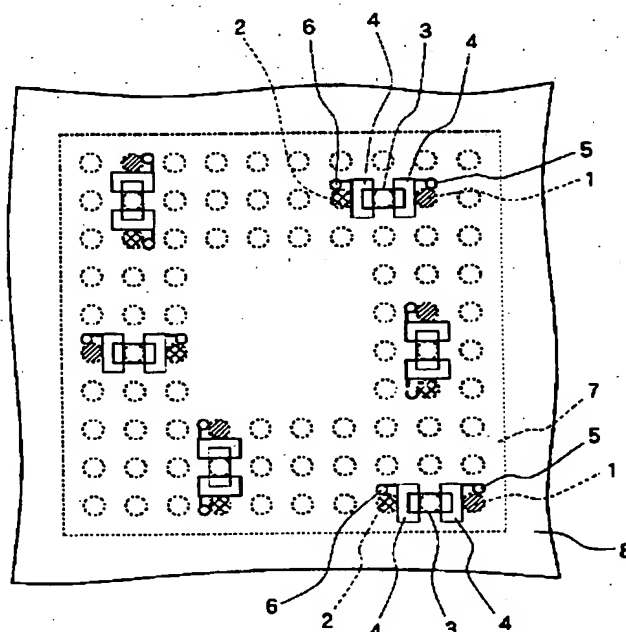
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体集積回路及びプリント配線基板

(57) 【要約】

【課題】 BGAチップやCSPチップなど、底面に複数の接続用パッドが設けられる半導体集積回路において、プリント配線基板に搭載した際にプリント配線基板から発生する電磁波放射ノイズを低減する。

【解決手段】 BGAチップ7の対をなす電源用パッド1とグランド用パッド2の間隔を、プリント配線基板8においてBGAチップ7の搭載面の反対側の面に実装されるデカップリング・コンデンサ3の電極間隔と見合うようにする。電源接続用スルーホール5及びグランド接続用スルーホール6を介し、電源用パッド1及びグランド用パッド2とデカップリング・コンデンサ3を接続する。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 底面に複数の接続用パッドを有する半導体集積回路において、

前記接続用パッドのうちの対をなす電源用パッドとグランド用パッドの間隔が、前記半導体集積回路を配線基板の一方の面に搭載したときに前記配線基板の他方の面に設けられているデカップリング・コンデンサの1対の電極間隔と見合っていることを特徴とする半導体集積回路。

【請求項2】 前記電源用パッドと前記グランド用パッドがそれぞれ複数設けられている請求項1に記載の半導体集積回路。

【請求項3】 底面に複数の接続用パッドを有する半導体集積回路を搭載したプリント配線基板において、前記半導体集積回路を搭載した面の反対側の面にデカップリング・コンデンサが実装され、前記半導体集積回路の前記接続用パッドのうちの対をなす電源用パッドとグランド用パッドの間隔が、前記デカップリング・コンデンサの1対の電極の間隔と見合っており、

前記デカップリング・コンデンサの前記1対の電極が、前記プリント配線基板をはさんで、対応する前記電源用パッド及び前記グランド用パッドと対向し、かつ、前記プリント配線基板に設けられた1対のスルーホールを介して前記電源用パッド及び前記グランド用パッドにそれぞれ接続していることを特徴とするプリント配線基板。

【請求項4】 前記デカップリング・コンデンサがチップ・コンデンサである請求項3に記載のプリント配線基板。

【請求項5】 前記半導体集積回路に前記電源用パッドと前記グランド用パッドがそれぞれ複数設けられている請求項3または4に記載のプリント配線基板。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路（IC）及びこの半導体集積回路を実装したプリント配線基板に関し、特に、底面に複数の接続用パッドを有する半導体集積回路におけるパッドの配置に関する。

## 【0002】

【従来の技術】近年、半導体集積回路（以下、単に集積回路という）における回路規模がますます大きくなってきている。回路規模が大きくなるにつれて集積回路と外部回路との接続に必要なピン数も増大し、そのため、BGA（ボール・グリッド・アレイ）チップ、CSP（チップ・スケール・パッケージ）チップやフリップ・チップなど、底面に複数の接続用パッドを配置した集積回路が開発されてきた。集積回路であるから、底面に配置される接続用パッドの中には、この集積回路に電源を供給するための電源用パッドと、この集積回路を外部回路側の接地電位点（グランド）に接続するためのグランド用

パッドが含まれる。従来、底面に複数の接続用パッドが設けられた集積回路では、電源用パッドやグランド用パッドの配置は、集積回路内部の回路設計の容易性や出力信号用の出力バッファの許容電流値等を考慮して決定されており、電源用パッドとグランド用パッドの相互の位置関係については特に考慮されてこなかった。

## 【0003】

【発明が解決しようとする課題】しかしながら、上述したような従来の集積回路をプリント配線基板に実装した場合、集積回路の電源用パッド及びグランド用パッドの位置が集積回路側の都合だけで予め決められているため、配線基板側の配線パターンの配置によっては、プリント配線基板に配置されるデカップリング・コンデンサの位置が集積回路の電源用パッドあるいはグランド用パッドから遠くなったり、他の信号パターンとの幾何学的配置で干渉するために個々の電源用パッド及びグランド用パッドに対してそれぞれデカップリング・コンデンサを配置することが困難になったりする。このため、最近のCPUやマイクロプロセッサに代表されるように集積回路の動作周波数の高速化が著しく進む中では、これらの集積回路を実装したプリント配線基板からの電磁波放射ノイズが増大し、各国での不要輻射規制を満足できなくなるといった問題が発生している。

【0004】本発明の目的は、BGA、CSPやフリップ・チップなどのように底面に複数の接続用パッドを有する集積回路において、こうした集積回路をプリント配線基板に実装した場合にデカップリング・コンデンサを効果的に配置できるようなパッド配置を有する集積回路と、この集積回路を搭載したプリント配線基板とを提供し、プリント配線基板からの電磁波放射ノイズを低減させることにある。

## 【0005】

【課題を解決するための手段】本発明の半導体集積回路は、底面に複数の接続用パッドを有する半導体集積回路において、接続用パッドのうちの対をなす電源用パッドとグランド用パッドの間隔が、半導体集積回路を配線基板の一方の面に搭載したときに配線基板の他方の面に設けられているデカップリング・コンデンサの1対の電極間隔と見合っていることを特徴とする。

【0006】本発明の半導体集積回路では、電源用パッドとグランド用パッドがそれぞれ複数設けられていてもよい。

【0007】本発明のプリント配線基板は、底面に複数の接続用パッドを有する半導体集積回路を搭載したプリント配線基板において、半導体集積回路を搭載した面の反対側の面にデカップリング・コンデンサが実装され、半導体集積回路の接続用パッドのうちの対をなす電源用パッドとグランド用パッドの間隔が、デカップリング・コンデンサの1対の電極の間隔と見合っており、デカップリング・コンデンサの1対の電極が、プリント配線基

板をはさんで、対応する電源用パッド及びグランド用パッドと対向し、かつ、プリント配線基板に設けられた1対のスルーホールを介して電源用パッド及びグランド用パッドにそれぞれ接続していることを特徴とする。

【0008】本発明のプリント配線基板において、デカップリング・コンデンサとしてチップ・コンデンサを用いることが好ましく、また、半導体集積回路に電源用パッドとグランド用パッドがそれぞれ複数設けられているようにしてもよい。

【0009】上述のように構成された本発明の半導体集積回路では、電源用パッド及びグランド用パッドの間隔が、プリント配線基板に配置されるデカップリング・コンデンサの1対の電極間隔（サイズ）に合わされているので、集積回路をプリント配線基板に実装し、電源用パッド、グランド用パッドからほとんど直下にスルーホールを介して、デカップリング・コンデンサに電源パターンとグランドパターンを接続する構造をとることができる。したがって、集積回路の電源用パッド、グランド用パッドとデカップリング・コンデンサを最短で接続することが可能になり、電源パターン、グランドパターンのインダクタンスが低減され、デカップリング・コンデンサの効果を十分に引き出すことができるので、プリント配線基板からの電磁波放射ノイズが低減される。

【0010】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。

【0011】《第1の実施の形態》図1及び図2は本発明の第1の実施の形態を説明する図であって、図1は本発明に基づくBGAチップ7を搭載したプリント配線基板8を、BGAチップ7を実装した面の反対側の面から見た拡大平面図であり、図2はこのBGAチップ7を搭載したプリント配線基板8の断面図である。

【0012】集積回路であるBGAチップ7の底面には、このBGAチップ7と外部回路との電気的な接続を行うための複数の接続用パッド（図1では点線の円で表示）が1mmピッチで格子状に規則正しく配列している。これらの接続用パッドのうち、電源用パッド1（右上がりの斜線で表示）は、BGAチップ7に電力を供給するための接続用パッドであり、グランド用パッド2（交差斜線で表示）は、BGAチップ7を接地するための接続用パッドである。電源用パッド1とグランド用パッド2は、相互に対向して、複数対設けられている。

【0013】一方、プリント配線基板8のBGAチップ7を搭載していない方の面には、チップ・コンデンサであるデカップリング・コンデンサ3が実装されている。また、デカップリング・コンデンサ3は1mm×0.5mmのサイズであり、電源用パッド1とグランド用パッド2から投影して見たときに、それぞれのパッド1、2のほぼ真ん中にくるようにプリント配線基板8上に配置されている。このデカップリング・コンデンサ3を半田

付けするためにプリント配線基板8に設けられる1対の搭載パッド4は、デカップリング・コンデンサ3の両側に半田フィレットが充分できるように、デカップリング・コンデンサ3の電極の外側まで形成されている。そして、デカップリング・コンデンサ3の両側の搭載パッド4に隣接して、1対の搭載パッド4とBGAチップ7の電源用パッド1及びグランド用パッド2とをそれぞれ接続するための電源接続用スルーホール5及びグランド接続用スルーホール6が、プリント配線基板8を貫通して形成されている。

【0014】ここで、BGAチップ7の対をなす電源用パッド1とグランド用パッド2は、それらの間隔がいずれの場合も2mmになるように配置されている。また、プリント配線基板8に実装されたデカップリング・コンデンサ3のサイズは1mm×0.5mmであるが、半田付けするための搭載パッド4を含めるとその長手方向の長さはほぼ2mmとなる。したがって、BGAチップ7の対をなす電源用パッド1とグランド用パッド2の間隔と、半田付け用の搭載パッド4までを含めたデカップリング・コンデンサ3の電極間隔（サイズ）がほぼ等しくなり、半田付け用の搭載パッド4に近接して電源接続用スルーホール5、グランド接続用スルーホール6を配置すれば、BGAチップ7の電源用パッド1、グランド用パッド2から、デカップリング・コンデンサ3までを、垂直方向にほぼ直線的にプリント配線基板8の厚さの距離で接続することが可能となる。

【0015】このような構成をとることにより、図2に示されるように、BGAチップ7の電源用パッド1、グランド用パッド2から、プリント配線基板8に配置されたデカップリング・コンデンサ3までを電源接続用スルーホール5、グランド接続用スルーホール6を介して最短で電気的に接続することができる。したがって、デカップリング・コンデンサ3からBGAチップの電源用パッド1、グランド用パッド2までの配線パターンのインダクタンスを小さくでき、プリント配線基板8からの電磁波放射ノイズが低減される。

【0016】また、この実施の形態において、BGAチップ7の底面に配置される複数の接続用パッドのピッチを1.5mmとし、使用するデカップリング・コンデンサ3のサイズを1.6mm×0.8mmとした場合も、プリント配線基板8からの電磁波放射ノイズが低減された。

【0017】《第2の実施の形態》図3は本発明の第2の実施の形態を説明する図である。この実施の形態は、第1の実施の形態において、各電源用パッド1に対応する電源接続用スルーホール5の数を2個に増やし、各グランド用パッド2に対応するグランド接続用スルーホール6を2個に増やしたものであって、その他の点については、第1の実施の形態と同じ構成である。

【0018】このような構成にすることによって、デカップリ

BEST AVAILABLE COPY

ング・コンデンサ3からBGAチップ7の電源用パッド1及びグランド用パッド2までの配線パターン9のインダクタンスがさらに低減されるため、プリント配線基板8からの電磁波放射ノイズはさらに低減される。

【0019】なおここでは、電源用スルーホール5及びグランド接続用スルーホール6の数がそれぞれ2個である場合について説明しているが、周りの信号線用のパッドから引き出される信号線との配置上の干渉が許す範囲で、接続用のスルーホールを数をより多くすることが可能である。

【0020】【比較例】図4及び図5は、電源用パッド1、グランド用パッド2の配置において相互の位置関係が考慮されていない従来のBGAチップ7をプリント配線基板8に搭載した状態を示している。電源用パッド1とグランド用パッド2の配置において、デカップリング・コンデンサ3のサイズや配置位置を考慮しないと、BGAチップ7の電源用パッド1やグランド用パッド2からデカップリング・コンデンサ3までの配線パターン9が長くなってこの配線パターン9のインダクタンスが大きくなり、プリント配線基板8からの電磁波放射ノイズの発生を抑制することができない。

【0021】以上、本発明の実施の形態について、半導体集積回路としてBGAチップを用いた場合について説明したが、本発明はこれに限定されるものではなく、底面に複数の接続用パッドが配置されるCSPチップ集積回路やフリップ・チップ集積回路、マルチチップ・モジュールなどについても本発明を適用することができる。また、集積回路の接続用パッドのピッチやデカップリング・コンデンサのサイズは、上述した数値に限定されるものでなく、設計に応じて変更することができる。

【0022】

【発明の効果】以上説明したように本発明は、プリント

配線基板において集積回路の搭載面の反対側の面に配置されるデカップリング・コンデンサの1対の電極間隔（サイズ）と見合うように、集積回路の電源用パッドとグランド用パッドの間隔を定めることにより、この集積回路をプリント配線基板に搭載した際に、これら電源用パッド及びグランド用パッドとデカップリング・コンデンサとの配線距離が最短となって集積回路の電源用配線パターンとグランド用配線パターンのインダクタンスが小さくなり、プリント配線基板からの電磁波放射ノイズが低減されるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を説明する図であり、集積回路を実装したプリント配線基板を説明する拡大平面図である。

【図2】第1の実施の形態でのプリント配線基板の断面図である。

【図3】本発明の第2の実施の形態を説明する図であり、集積回路を実装したプリント配線基板を説明する拡大平面図である。

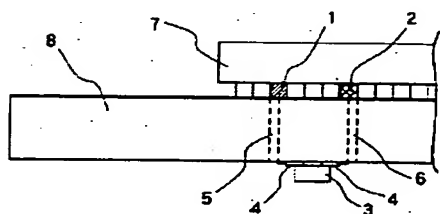
【図4】従来の集積回路を実装したプリント配線基板を説明する拡大平面図である。

【図5】図4に示すプリント配線基板の断面図である。

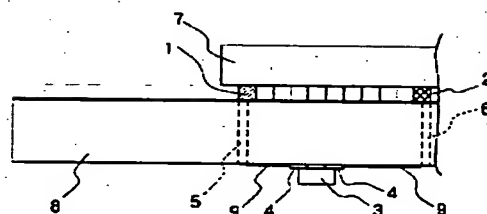
【符号の説明】

- 1 電源用パッド
- 2 グランド用パッド
- 3 デカップリング・コンデンサ
- 4 搭載パッド
- 5 電源接続用スルーホール
- 6 グランド接続用スルーホール
- 7 BGAチップ
- 8 プリント配線基板
- 9 配線パターン

【図2】

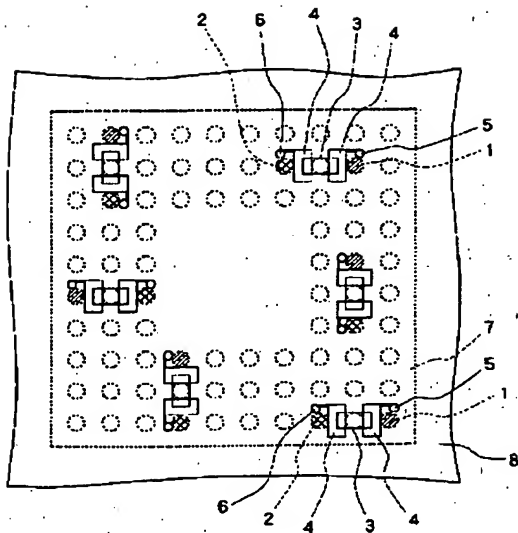


【図5】

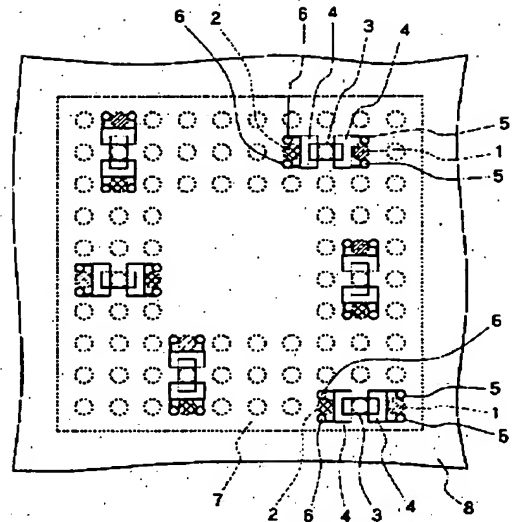


BEST AVAILABLE COPY

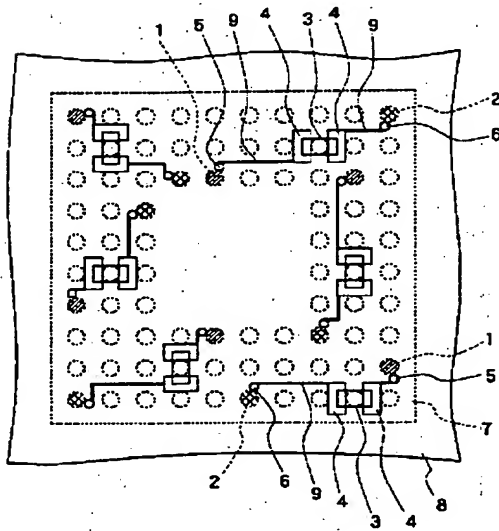
【図1】



【図3】



【図4】



**THIS PAGE BLANK (USPTO)**